

基于 FPGA 的全数字相干解调器的实现

袁 君, 冯全源, 王 丹

(西南交通大学 微电子研究所, 四川 成都 610031)

摘 要: 相干解调方案的抗噪能力和误码性能优良, 广泛用于全数字接收机中. 载波同步和位同步是其中的关键技术, 直接影响到解调性能. 本文以 QPSK 信号为例, 用修正科斯塔斯环实现载波同步, 用基于数字内插和 Gardner 算法的锁相环结构恢复定时时钟, 并从工程应用的角度论述了相干解调器的硬件设计要点. 最后在低成本 FPGA 芯片上验证了设计的可行性和正确性, 该解调器抗噪性能良好, 高速且实时, 具有很大的工程参考价值.

关键词: 相干解调; 科斯塔斯环; 内插器; FPGA

中图分类号: TN76

文献标识码: A

文章编号: 1000—7180(2013)05—0038—05

An Implementation of All—Digital Coherent Demodulator Based on FPGA

YUAN Jun, FENG Quan-yuan, WANG Dan

(Dept. of Microelectronics, School of Information Science and Technology,
Southwest Jiaotong University, Chengdu 610031, China)

Abstract: Coherent demodulation has excellent noise immunity and error performance, widely used in the all—digital receiver. Carrier synchronization and bit synchronization are the key technologies directly affecting the demodulation performance. Take QPSK signal for example, this paper uses evolutionary costas loop to achieve carrier synchronization, and PLL structure based on digital interpolation and Gardner algorithm to recover timing clock. From the perspective of project application, some key points of hardware implementation are discussed in detail. The feasibility and correctness of this design are verified on a low—cost Field Programmable Gate Array (FPGA) chip, the demodulator has good anti—noise, high—speed and real—time performance, with great reference value of engineering.

Key words: coherent demodulation; Costas; interpolator; FPGA

1 引言

在全数字接收机中, 相干解调方案的输出信噪比要比非相干解调方案高 3dB, 解调性能更好, 但是相干解调中频率和相位的同步偏差会引起误码性能的显著恶化^[1]. 因此, 同步问题一直是相干解调器设计的关键, 它分为数据辅助(DA)和非数据辅助(NDA). 前者响应时间短, 但是算法复杂, 不易于硬件实现. 后者算法较简单, 但难以控制, 常用数字锁相环结构实现. 目前接收机中的相干解调器大都用

软件^[1]或专用芯片完成, 无法灵活地适应高速高带宽的数据基带处理系统. 近年来, 现场可编程门阵列(FPGA)的集成度不断提高, 功耗越来越低, 成本也逐渐降低, 已经广泛应用于通信、消费电子、汽车电子、工业控制、测试测量等领域. FPGA 静态或动态可重配置的特性, 使得无线通信领域中软件无线电(SDR)的概念不断成为现实.

本文采用适合 FPGA 等硬件实现的 NDA 算法, 针对环路滤波器(LF)的参数选取, 鉴相器的结构, 内插的原理及控制, 定时误差检测(TED)等关

收稿日期: 2012—07—19; 修回日期: 2012—08—28

基金项目: 国家自然科学基金项目(60990320, 60990323); 国家“八六三”计划项目(2012AA012305)

键模块,探讨了载波同步和位同步的硬件实现要点,在降低硬件实现复杂度的基础上提高解调性能.本文以 QPSK 为例,充分利用 FPGA 并行处理且可重复编程的特点实现一个实时、高速的硬件相干解调器,并在低成本的 Cyclone III 系列 FPGA 上硬件验证了该解调器的性能.

2 全数字相干解调原理

SDR 架构中广泛使用的正交解调模型几乎适用于无线通信中所有的正交调制信号,而载波同步和位同步是正交相干解调的关键和难点.

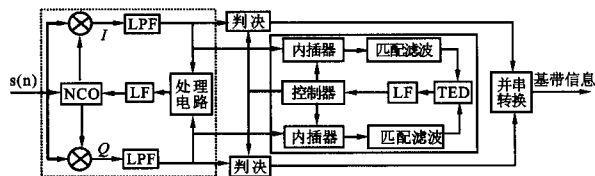


图1 全数字相干解调器的原理框图

2.1 载波同步

闭环反馈式的载波同步技术一般用数字锁相环路实现,对于常用的抑制载波通信调制信号应采用特殊的锁相环结构,如 N 次方环、Costas 环和判决反馈环.鉴于 FPGA 硬件实现的复杂度和可行性,本文采用经典的 Costas 环提取载波^[2],原理如图 1 中虚线内所示.输入信号分别与本地受控的正交载波相乘,得到同相支路 I 和正交支路 Q,两路信号经低通滤波后输入处理电路(即鉴相器 PD),由相位误差信号控制载波频率和相位,直至环路完成锁定.根据处理电路的不同,可分为:普通 Costas 环、修正 Costas 环和数字 Costas 环(又叫松尾环).对于 QPSK 信号,三种处理电路的鉴相特性如图 2 所示,其原理为:

普通 Costas 环:

$$u_d(n) = IQ \cdot [Q^2 - I^2] \quad (1)$$

修正 Costas 环:

$$u_d(n) = Q\text{sgn}[I] - I\text{sgn}[Q] \quad (2)$$

数字 Costas 环:

$$u_d(n) = \text{sgn}[I] \cdot \text{sgn}[Q] \cdot \text{sgn}[Q^2 - I^2] \quad (3)$$

由式(1)~(3)可知,普通的 Costas 环和数字 Costas 环的鉴相特性都包含平方运算,硬件实现精度受限,同时会引入噪声的平方项.本文用噪声性能优良的修正 Costas 环来完成鉴相功能.

2.2 位同步

在全数字信号处理中,AD 的采样时钟是独立于接收信号的参数,常规锁相环路难以实现精确的

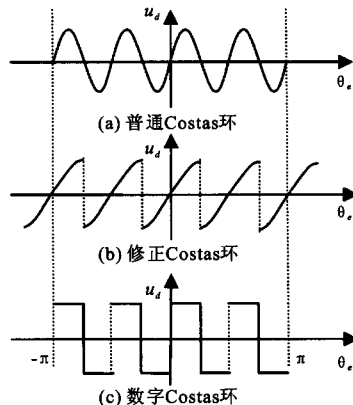


图2 QPSK 的三种鉴相特性

位同步.为了从独立的采样数据中恢复出准确的定时时钟,常常采用插值算法来调整最佳采样值.内插运算是由环路的定时误差控制,具体原理如图 1 实线框所示.

定时误差的估计(TED)有早-迟门和 Gardner 两种常用算法,前者每个符号需要三个样点,前后两个样点检测码元相位误差,中间的样点判决数据,适用于中、低速数据处理系统;后者一个符号只需 2 个采样点,适合处理高速数据流,且对载波相位偏移不敏感. Gardner 定时误差算法的计算式表示为:

$$e(r) = \text{sgn}(y_I(r) - y_I(r-2))Y_I(r-1) + \text{sgn}(y_Q(r) - y_Q(r-2))y_Q(r-1) \quad (4)$$

其中 r 为输入数据码元的标号, $y(r)$ 为第 r 个码元的最佳采样值, $\text{sgn}(y(r) - y(r-2))$ 表示误差调整方向, $y(r-1)$ 表示误差的大小.式(4)中仅含加减运算, FPGA 实现简单.另外,升余弦频谱滚降因子 α 对 Gardner 算法有较大的影响, $\alpha=1$ 时的 TED 性能最好,当 α 接近于 0 时,算法失效.

3 关键模块的设计

3.1 环路滤波器

环路滤波器在锁相环路中起着关键的作用,除了低通滤波,更决定了环路的动态性能^[3].实际工程中常用一阶数字环路滤波器,如图 3 所示.

参数 c_1 、 c_2 决定了环路的等效噪声带宽,决定了环路的捕获时间和同步精度,进而影响到解调性能.计算方法:根据设计要求确定环路的捕获带宽 ΔB ,环路阻尼系数在工程上一般取 $\xi=0.707$,由式(5)(6)计算出无阻尼振荡频率 ω_n .不同鉴相器的鉴相增益 K_d 不相同,可由鉴相特性具体推导.数控振荡器增益 K_o .由系统时钟 f_{dk} ,相位累加器的位宽 N 和频率控制字的更新周期 T 决定.

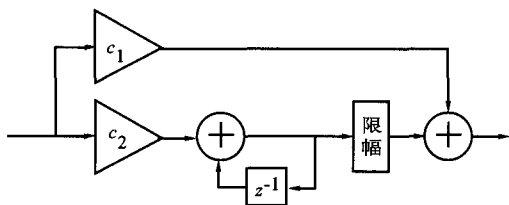


图3 一阶环路滤波器结构

$$B_N = \frac{\Delta B}{2\sqrt{2}\pi\xi} \quad (5)$$

$$\omega_n = \frac{8\xi B_N}{4\xi^2 + 1} \quad (6)$$

$$K_0 = \frac{2\pi f_{dk}}{2^N} \cdot T \quad (7)$$

然后由式(8)(9), 计算 c_1 、 c_2 。

$$c_1 = \frac{1}{K_d K_0} \cdot \frac{8\xi\omega_n T}{4 + 4\xi\omega_n T + (\omega_n T)^2} \quad (8)$$

$$c_2 = \frac{1}{K_d K_0} \cdot \frac{4(\omega_n T)^2}{4 + 4\xi\omega_n T + (\omega_n T)^2} \quad (9)$$

实际工程中, c_1 、 c_2 的取值还需根据 Matlab 的仿真效果进行微调, 硬件实现时, 量化为 2^n 的整数能大大简化硬件电路, 提高运算精度。

3.2 数控振荡器

为了提高正余弦载波输出的速度, 本文用查找表实现 NCO 功能。预先在 $1024 \times 12\text{bits}$ 的 ROM 中存入 $1/4$ 个周期 $[0 \quad \pi/4]$ 的正弦波数据, 查表地址由环路误差控制。修正 Costas 载波同步模块中, 环路滤波器输出控制信号 U_{LFout} 与 NCO 输出频率 f 和输出相位 p 的关系为

$$f_2 = f_1 - U_{LFout} \quad (10)$$

$$p_2 = p_1 + \frac{2\pi f_2}{f_d} \quad (11)$$

式中, f_1 、 p_1 为本地载波的当前频率和相位, f_2 、 p_2 为 NCO 根据环路相位误差调整后的载波频率和相位, f_d 为接收信号的符号速率。

用 FPGA 实现时无法直接控制 NCO 输出频率, 而是由输入频率控制字决定输出载波的频率, 由相位控制字决定输出载波的相位。根据 DDS 原理, NCO 输出的载波频率为:

$$f_{out} = \frac{B}{2^N} \cdot f_{dk} \quad (12)$$

B 为频率控制字; N 为相位累加器的位宽; f_{dk} 为系统时钟。将式(12)代入式(10)和式(11), 得到环路滤波器输出和频率控制字 B 、相位控制字 D 的关系如下:

$$B_2 = B_1 - U_{LFout} \cdot \frac{2^N}{f_{dk}} \quad (13)$$

$$D_2 = D_1 + \frac{2\pi f_{dk} B_2}{f_d \cdot 2^N} \quad (14)$$

根据式(13)和(14), 频率控制字和相位控制字不断更新, 直至环路误差趋近于 0, 本地载波与接收信号的载波同频同相, 即完成同步。

3.3 内插及其控制

位同步中的内插器是一个自适应采样率转换模块^[4], 保证解调器能在正确的时刻判决。内插器的设计包括两方面: 内插函数和插值结构。常用的基于多项式的内插滤波器有: 线性内插器、立方内插器和分段抛物内插器。考虑到 FPGA 的特点, 本文用性能最为理想的立方内插器^[5], 其系数固定, 有利于用 FPGA 查找表实现。

控制器是为了计算插值位置 m_k 和分数间隔 u_k , 通常采用递减的计数器完成, 递减量由定时误差控制。计数器下溢出时输出内插使能信号, 即控制内插器在当前时刻插值, 同时计算 u_k 。

$$\eta(n+1) = [\eta(n) - (W + e(n))] \bmod -1 \quad (15)$$

$$u_k = \frac{\eta(n)}{W + e(n)} = \frac{T_i}{T_s} \eta(n) \quad (16)$$

计数器的位数 M 由 Matlab 仿真搜索最佳控制特性得到, $W = 2^M T_s / T_i$, T_s 为数据采样周期, T_i 为控制器的溢出周期。

4 QDPSK 解调器的仿真与 FPGA 实现

4.1 设计参数

系统时钟 $f_{dk} = 100\text{MHz}$, 中频接收信号的频谱滚降系数 $\alpha = 0.5$, 载波频率 $f_c = 1.25\text{MHz}$, 码元速率 $f_d = 1.25\text{MHz}$, 信噪比 $S/N = 10\text{dB}$, Costas 捕获带宽 $\Delta B = 25\text{kHz}$, 码元速率相位偏移 $\Delta f_d = 1\text{kHz}$, NCO 相位累加器的位宽 $N = 32\text{bits}$, 内插控制器的计数器位数 $M = 20\text{bits}$ 。

4.2 仿真结果

用 Matlab 进行仿真需考虑到 FPGA 实现会存在不可避免的系数量化效应和有限字长效应, 本文采用定点数和四舍五入法仿真, 并留有适当的同步裕量, 上述仿真条件下的仿真效果如图 4 和图 5 所示。

可以看出, 基于修正 Costas 环的载波同步和基于内插 + Gardner 算法的位同步, 在信噪比为 10dB 的 AWGN 信道条件下, 均能快速地实现较为准确的跟踪, 位同步的捕获时间较载波同步要长一些。其中定时误差存在明显的稳态抖动是由于一个符号的采样点数有限, 但经过环路滤波后对内插运算几乎

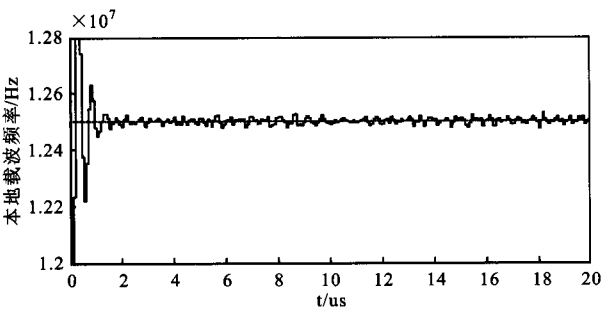


图 4 修正 Costas 环的载波同步仿真

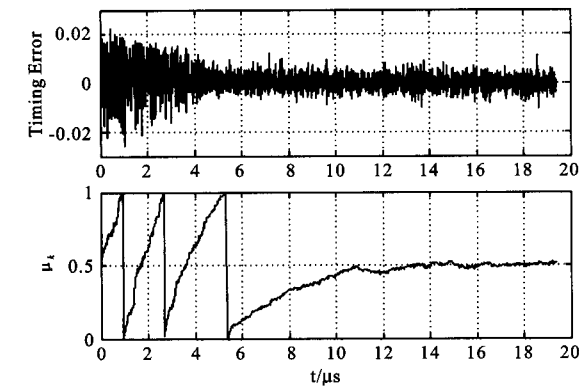


图 5 基于内插和 Gardner 算法的位同步仿真

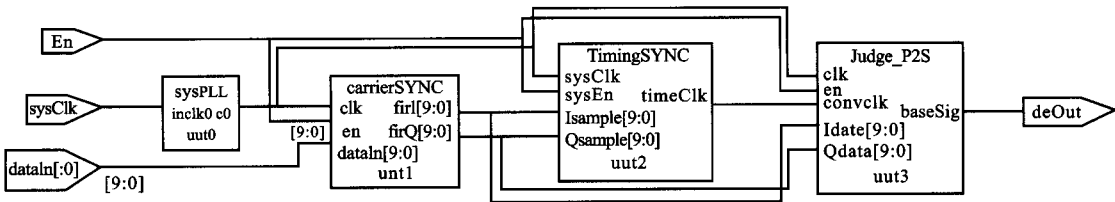


图 6 FPGA 实现相干解调的顶层模块

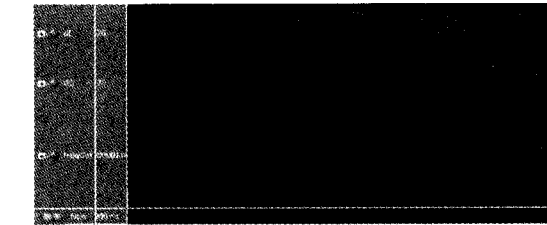


图 7 QPSK 相干解调器的 FPGA 实现仿真

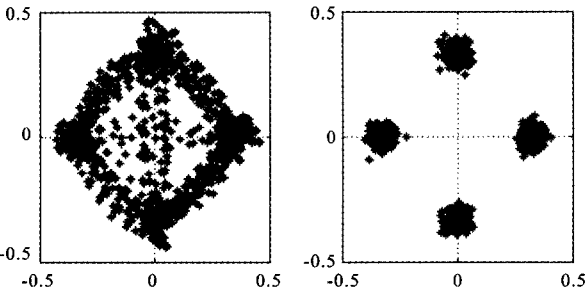


图 8 位同步前后星座图对比

无影响。

4.3 FPGA 实现

本文的解调器各个模块均用 Verilog HDL 描述,以便于在不同厂商 FPGA 芯片间移植. 整个解调器的顶层模块关系如图 6 所示. 系统时钟由外部晶振经 PLL 倍频产生,用 Matlab 模拟信噪比为 10dB 的 AWGN 中频 QPSK 信号,输入 FPGA 内的相干解调器,先载波同步,再位同步,同步后的数据进行判决和串并转换即可得到解调结果. 联合 Modelsim 仿真,由图 7 可以看出频率控制字 freqCtrl 能在大约 20 μ s 完成载波跟踪,由于 NCO 的 ROM 内存储数据有限,有效地址只取高几位,稳态的抖动对输出频率的影响可忽略. dI、dQ 是在 I、Q 两路信号位同步后的判决结果,在码元速率有 100KHz 频偏时,位同步环路能够在 80 μ s 左右获得精确的定时时钟. 由于硬件实现的解调器中输入数据流是在系统时钟下进行流水线处理,捕获时间比 Matlab 仿真所需的时间要长. 图 8 是基于 FPGA 实现的位同步前后星座图,该解调器能大大降低解调误码率.

硬件平台选用 Altera 公司的 Cyclone III 系列 FPGA 解决方案 (EP3C16Q240C8),用流水线思想描述电路. 根据该 FPGA 的器件特征^[6]进行设计优化和时序约束后,该相干解调器的最大工作频率可达 198.57MHz,能适应绝大多数的高速应用场合. 图 9 为示波器观测到的结果. c1 为发送的基带信息, c2 为 FPGA 内相干解调器输出的解调结果. 可见,在载波同步和位同步完成后,解调结果正确,滞后输入 4 个码元周期,且能连续输出二进制信息,实时性好,在雷达、数字图像等处理系统中占有优势.

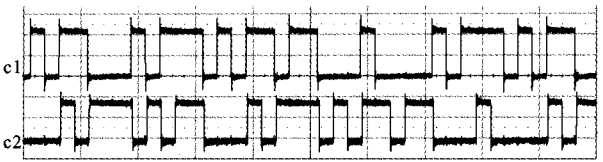


图 9 硬件实测的相干解调结果

5 结束语

本文以 QPSK 信号为例,进行了全数字相干解调器的 Matlab 仿真和 FPGA 实现. 其中载波同步采用修正 Costas 环,用 Gardner 算法估计定时误差,用数字插值调整采样时钟,进而实现接近精确的位同步. 从工程应用的角度详述了同步中关键模块的设计. 结果表明,本设计中基于 FPGA 的 QPSK 相干解调器能实时解调,工作频率高,抗噪性能优良,对以后的工程实践有很好的指导意义.

参考文献:

- [1] 王天权,冯全源,基于状态机的 QPSK 全数字解调的实现[J]. 电路与系统学报,2010,15(5): 18—21.
- [2] 王智文,李绍滋,刘美珍,等,基于科斯塔斯环法的载波提取的设计[J],微电子学与计算机,2010, 27 (10): 193—196.
- [3] 季仲梅,杨洪生,王大鸣,等,通信中的同步技术及应用[M]. 北京:清华大学出版社,2008.
- [4] Floyd M Gardner. Interpolation in digital modems—Part I: Fundamentals [J]. IEEE Trans on communications, 1993,41 (3): 501—507.

[5] 郝建华,许斌,卿超. 接收机位定时同步恢复的设计[J]. 理论与方法,2007,26(12):16—54.

[6] Altera Corporation. Cyclone III device handbook (Volume 1) [EB/OL]. [2010—02—28]. <http://www.altera.com.cn/supporrt/devices/cyclone3/dev—cyclone3.html>.

作者简介:



袁 君 硕士研究生. 研究方向为数字通信信号处理与 FPGA 设计.

冯全源 博士,教授. 研究方向为智能信息处理、集成电路设计、RFID 技术、嵌入式系统、移动天线与智能天线系统、微波及毫米波技术、电磁兼容与环境电磁学、射频、微波器件及材料等.

王 丹 硕士,副教授. 研究方向为可编程集成电路应用、电子电路、集成电路设计.

(上接第 37 页)

变到 4.5V,基准电压的变化为 0.15%,功耗为 21.85 μ W. 该电压基准源可望应用于高精度、低功耗 IC 系统的设计研发.

参考文献:

- [1] Arie van Staveren, Chris J M Verhoeven, Arthur H M van Roermund. The design of low-noise bandgap references[J]. IEEE transactions on circuits and systems—Part I: Fundamental theory and applications, 1996, 43(4): 290—299.
- [2] Dai Y, Comer D T, Comer D J, et al, Threshold voltage based CMOS voltage reference[J]. IEEE Proc. — Circuits Devices Syst, 2004, 151(1): 58—62.
- [3] Cheng M H, Wu Z W Low power low voltage refer-

ence using peaking current mirror circuit[J]. IEEE Electronics Letters, 2005, 41(10): 572—573.

作者简介:



田京辉 男,(1976—),硕士. 研究方向为集成电路设计、制造工艺.

黄其煜 男,(1975—),博士,副教授,硕士生导师. 研究方向为纳米材料与器件、微加工工艺.